

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

DIALOG(R)File 347:JAPIO

(c) 2001 JPO & JAPIO. All rts. reserv.

01147064

SEMICONDUCTOR ELEMENT

PUB. NO.: 58-084464 [JP 58084464 A]

PUBLISHED: May 20, 1983 (19830520)

INVENTOR(s): KOMATSU TOSHIYUKI

HIRAI YUTAKA

NAKAGAWA KATSUMI

OSADA YOSHIYUKI

KOMATA TOMOJI

NAKAGIRI TAKASHI

APPLICANT(s): CANON INC [000100] (A Japanese Company or Corporation), JP  
(Japan)

APPL. NO.: 56-182652 [JP 81182652]

FILED: November 13, 1981 (19811113)

INTL CLASS: [3] H01L-029/78; H01L-021/306; H01L-029/04

JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components)

JAPIO KEYWORD: R003 (ELECTRON BEAM); R097 (ELECTRONIC MATERIALS --  
Metal

Oxide Semiconductors, MOS); R115 (X-RAY APPLICATIONS)

JOURNAL: Section: E, Section No. 191, Vol. 07, No. 178, Pg. 114,  
August 06, 1983 (19830806)

**ABSTRACT**

**PURPOSE:** To obtain the semiconductor element having excellent performance characteristics, reliability and stability by forming the principal section of a field-effect thin-film transistor, etc. by a polycrystal silicon thin-film semiconductor layer having the characteristics of not more than 20 angstroms /sec etching speed in the field-effect thin-film transistor, etc.

**CONSTITUTION:** The semiconductor element contains 0.01-3at. (atomic) % hydrogen atoms, and the maximum of its roughness displaying surface rough property is substantially 800 angstroms or lower, and the principal section is formed by the polycrystal silicon thin-film semiconductor layer having the characteristics of not more than 20 angstroms /sec etching speed by an etching liquid, which consists of fluoric acid (a 50vol% aqueous solution), nitric acid (d=1.38, 60vol% aqueous solution) and an aqueous acid and these mixing ratios therein are 1:3:6. In a field-effect thin-film transistor as one example of the semiconductor elements manufactured while using a polycrystal silicon thin-film having such H content, surface roughness and etching characteristics as a blank, effective carrier mobility, threshold voltage, an ON/OFF ratio, gm, etc. are improved, there is no secular change of transistor characteristics through continuous operation, and the yield rate and scattering of the element can be improved remarkably.

DIALOG(R)File 352:Derwent WPI  
(c) 2001 Derwent Info Ltd. All rts. reserv.  
003691918

WPI Acc No: 1983-51899K/198322

XRAM Acc No: C83-050473

XRPX Acc No: N83-093469

Semiconductor device, esp. thin film FET - using semiconducting film of polycrystalline silicon with specific content of hydrogen atoms.

Patent Assignee: CANON KK (CANO )

Inventor: HIRAI Y; KANAGAWA Y; KOMATSU T; NAKAGAWA K; NAKAGIRI T; OSADA Y

Number of Countries: 003 Number of Patents: 009

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
DE 3241959	A	19830526	DE 3241959	A	19821112	198322 B
<b>JP 58084464</b>	A	19830520	JP 81182652	A	19811113	198326
JP 58084465	A	19830520	JP 81182653	A	19811113	198326
JP 58084466	A	19830520	JP 81182654	A	19811113	198326
DE 3241959	C	19881117				198846
JP 90001365	B	19900111				199006
JP 90001366	B	19900111				199006
JP 90001367	B	19900111				199006
US 4905072	A	19900227	US 88188677	A	19880429	199015

Priority Applications (No Type Date): JP 81182654 A 19811113; JP 81182652 A 19811113; JP 81182653 A 19811113

Patent Details:

Patent No	Kind	Lan	Pg	Main IPC	Filing Notes
DE 3241959	A		80		

Abstract (Basic): DE 3241959 A

The device has a substrate(a), which is covered with a thin, semiconducting film of poly Si(b), which contains in atomic % max. 3% of hydrogen atoms, and has a surface roughness of max. 80 nm. Film(b) forms the main part of the semiconductor device. When film(b) is etched using a mixt. contg. 1 pt.vol. HF (50% aq. soln. by vol.); 3 pts.vol. HNO<sub>3</sub> (density 1.38, 60 vol.% in water); and 6 pts.vol. glacial acetic acid; its etching speed is max. 2 nm/second. Film(b) pref. shows a min. of 30% orientation in the (220) plane when examined by electron beam- or X-ray- diffraction, and consists of crystals with an average grain size of min. 20 nm. The substrate is esp. glass.

Used esp. to make a thin film FET with high performance, used in scanning pictures or images the FET obt'd. is stable and reliable.

1/10

Title Terms: SEMICONDUCTOR; DEVICE; THIN; FILM; FET; SEMICONDUCTOR; FILM; POLYCRYSTALLINE; SILICON; SPECIFIC; CONTENT; HYDROGEN; ATOM

Derwent Class: L03; U11; U12; U14

International Patent Class (Additional): H01L-021/30; H01L-023/54; H01L-029/04

File Segment: CPI; EPI

⑨ 日本国特許庁 (JP)

⑩ 特許出願公開

⑪ 公開特許公報 (A)

昭58—84464

⑫ Int. Cl.<sup>3</sup>

H 01 L 29/78

// H 01 L 21/306

29/04

識別記号

庁内整理番号

7377—5F

8223—5F

⑬ 公開 昭和58年(1983)5月20日

発明の数 1

審査請求 未請求

(全 13 頁)

⑭ 半導体系子

⑮ 特 願 昭56—182652

⑯ 出 願 昭56(1981)11月13日

⑰ 発 明 者 小松利行

東京都大田区下丸子3丁目30番

2号キャノン株式会社内

⑱ 発 明 者 平井裕

東京都大田区下丸子3丁目30番

2号キャノン株式会社内

⑲ 発 明 者 中川克己

東京都大田区下丸子3丁目30番

2号キャノン株式会社内

⑳ 発 明 者 長田芳幸

東京都大田区下丸子3丁目30番

2号キャノン株式会社内

㉑ 発 明 者 小俣智司

東京都大田区下丸子3丁目30番

2号キャノン株式会社内

㉒ 発 明 者 中桐孝志

東京都大田区下丸子3丁目30番

2号キャノン株式会社内

㉓ 出 願 人 キャノン株式会社

東京都大田区下丸子3丁目30番

2号

㉔ 代 理 人 弁理士 丸島儀一

明 細 書

1. 発明の名称

半 導 体 素 子

2. 特許請求の範囲

- (1)  $0.01 \sim 3$  atomic % の水素原子を含有し、  
表面凹凸性が実質的に  $800 \text{ \AA}$  以下であつて、  
弗酸 (50 vol % 水溶液)・硝酸 ( $d=1.38$ ,  
60 vol % 水溶液)・水酸から成り、それ等  
の混合比が 1 : 3 : 6 であるエッチング液に  
よるエッチング速度が  $20 \text{ \AA} / \text{sec}$  以下の特  
性を有する多結晶シリコン薄膜半導体層でそ  
の主要部を構成した事を特徴とする半導体系  
子。

- (2) 前記半導体層の X 線回折パターン又は電子  
線回折パターンによる (220) の回折強度  
の割合が全回折強度に対して 30 % 以上であ  
る特許請求の範囲第 1 項に記載の半導体系子。

- (3) 前記半導体層の平均結晶粒径が  $200 \text{ \AA}$  以  
上である特許請求の範囲第 1 項に記載の半導  
体系子。

- (4) 前記半導体層がガラス製基板上に形成され  
ている特許請求の範囲第 1 項に記載の半導体  
素子。

3. 発明の詳細な説明

本発明は、電界効果薄膜トランジスタ等の半  
導体系子に関し、更に詳しくは、動作特性、信  
頼性、及び安定性の高い、多結晶シリコン薄膜  
半導体層でその主要部を構成した半導体系子に  
関する。

最近、画像読取用としての、長尺化一次元フ  
ォトセンサや大面積化二次元フォトセンサ等の  
画像読取装置の走査回路部、或いは装置 (LQ  
と略記する) や、エレクトロクローム材料  
(RO と略記する) 或いはエレクトロルミネフ  
センス材料 (RL と略記する) を利用した画像  
表示デバイスの駆動回路部を、これ等の大面積  
に伴つて所定の基板上に形成したシリコン薄膜  
を素材として形成することが提案されている。

新かるシリコン薄膜は、より高速化、より高  
信頼化された大型の画像読取装置や画像表示装

量の実現から、非晶質であるよりも多結晶であることが望まれている。その理由の1つとして上記の如き高導、高機能の脱取装置の定常回路部や画像表示装置の駆動回路部を形成する為の素材となるシリコン薄膜の実効キャリア移動度 (effective carrier mobility)  $\mu_{eff}$  としては、大きいことが要求されるが、通常の放電分解法で得られる非晶質シリコン薄膜においては約  $0.1 \text{ cm}^2/\text{V} \cdot \text{sec}$  程度であり、かつ、ゲートにD.C.電圧を印加していくうちにドレイン電流が減少しトランジスタの閾値電圧が移動していくなどの経時変化が著しく、安定性に乏しいなどの欠点を有している。

これに対して、多結晶シリコン薄膜は、実際に測定されたデータからも非晶質シリコン薄膜に比べて、その実効キャリア移動度  $\mu_{eff}$  が遙かに大きく、理論的には現在得られている値よりも、更に大きな値の移動度  $\mu_{eff}$  を有するものが作成され得る可能性を有している。

而して、従来種々の方法によつて作製された

ることを見出した。又、多結晶シリコン薄膜中にある結晶の量のHが含有されていること及びエッチング速度がある値以下であることが、上記素子の特性を実用上使用可能ならしめ、又各素子のバラツキを低減させて更に実用性が高められることを見出した。又、多結晶薄膜の配向性及び結晶粒径 (グレインサイズ) が、上述した様な各種の特性をより向上せしめることも合せて見出したものである。

本発明の目的は、高性能の多結晶シリコン薄膜半導体層を有する半導体素子を提供することを主たる目的とする。

更には、基板上に形成される多結晶シリコン薄膜半導体を用いて高性能で信頼性が高く、安定性の高い電界効果薄膜トランジスタを提供することを目的とする。

又、別には、優れた多結晶シリコン薄膜半導体層を用いた電界効果薄膜トランジスタを構成素子とする大面積化半導体デバイスを提供することも目的とする。

多結晶シリコン薄膜を素材とした素子或いはデバイスが、所望された特性及び信頼性を充分発揮できなかつたのが現状である。本発明者らは、多くの半導体素子又は、積層構造的には接合 (PN接合やMIS構造) を有しており、素子の機能として接合面の特性及び信頼性が素子の性能や信頼性を決定するという考え方に基き、上記の諸点に鑑みての鋭意検討の結果、多結晶シリコン薄膜半導体素子においてシリコン薄膜中に含有する水素原子 (H) 量とシリコン薄膜表面の凹凸性及び特定のエッチング液によるエッチング速度 (エッチングレート) が素子の性能及び信頼性を決定することを見出した。

更に詳しくは、多結晶シリコン薄膜を素材として電界効果薄膜トランジスタを形成するに際して、従来の多結晶シリコン薄膜は薄膜の表面凹凸が大きかつたり不揃いであるため、素子の特性、例えば実効キャリアーモビリティ ( $\mu_{eff}$ )、ゲートリーク等による参漏り及び動作の経時変化各素子のバラツキ等を低下又は悪化させてい

本発明の半導体素子は  $0.01 \sim 3 \times 10^{18} \text{ atoms/cm}^3$  の水素原子を含有し、表面凹凸性が実質的に  $800 \text{ \AA}$  以下であつて、非酸 (50 vol % 水溶液)・硝酸 ( $d = 1.38, 60 \text{ vol \%}$  水溶液)・水酸から成り、それ等の混合比が1:3:6であるエッチング液によるエッチング速度が  $20 \text{ \AA/sec}$  以下の特性を有する多結晶シリコン薄膜半導体層でその主要部を構成した素子を特徴とする。

この様なH含有量、表面凹凸性、エッチング特性を有する多結晶シリコン薄膜を素材として作製される半導体素子の一例としての電界効果薄膜トランジスタ (FE-TFT) は、トランジスタ特性 (実効キャリアーモビリティ、スレシユールド電圧、ON/OFF 比、 $g_m$  等) が良好となり、運転動作によるトランジスタ特性の経時変化もなく、かつ素子の参漏り及びバラツキも著しく向上させることが出来るためにL.O., B.L. 或はB.O.等を利用した表示或いは画像デバイス等の定常回路や駆動回路を安定して提供することが出来る。

本発明の多結晶シリコン薄膜を素材として作

型の成される半導体素子の一例としての電界効果素子トランジスタ(TFT)は半導体層、電極層、絶縁層を用いたトランジスタとして知られている。即ち、半導体層に隣接したオーミックコンタクトを持つソース電極・ドレイン電極間に電圧を印加し、そこを流れるチャネル電流を絶縁層を介して設けたゲート電極にかけるバイアス電圧により変調される。

第1図にはこのようなTFTの典型的な基本構造の一例が示される。絶縁性基板101上に設けられた半導体層102上にソース電極103、ドレイン電極104が接して設けてあり、これ等を挟む様に絶縁層105が設けられ、該絶縁層105上にゲート電極106がある。

本発明に於ける第1図に示される構造を有するTFTに於いては、半導体層102は、前述した特性を有する多結晶シリコン薄膜で構成され、半導体層102と2つの電極、即ち、ソース電極103、ドレイン電極104の各々との間には、非晶質シリコンで構成された第1の $n^+$ 層107、第

した半導体面上にある(stagger型)に分類され、各々の組合せで4つの型があることがよく知られている。第1図で示された構造は上ゲートCoplanar型電界効果TFTと呼ばれる例を示したが、本発明に係る電界効果TFTはこのいずれでもよいことは勿論である。

本発明においては、半導体素子の主要部である半導体層を構成する多結晶シリコン薄膜に含有するH量を0.01 at. %以上にすることによって、種々のトランジスタ特性を向上させることが出来る。多結晶シリコン薄膜に含有されるHは、主に多結晶シリコンのゲレンバウダーに存在し、 $Si-H$ の形でSi原子と結合しているが、 $Si=H_2$ 、 $Si=H$ の如き結合形態のものや、遊離水素も含んでいることが予想され、これ等、不安定な状態で含有されている水素に起因して、その特性の経時的変化が生じているものと思われるが、本発明者らの多くの実験事実から3 at. %以下のH量においては、トランジスタ特性の劣化、特に経時変化を起させることは、ほとんど

2の $n^+$ 層108が設けられ、オーミックコンタクトを形成している。

絶縁層105はCVD (Chemical Vapour Deposition)、LPCVD (Low Pressure Chemical Vapour Deposition)、又はPCVD (Plasma Chemical Vapour Deposition)等で形成されるシリコンナイトライド、 $SiO_2$ 、 $Al_2O_3$ 等の材料で構成される。

半導体層102を構成する多結晶シリコン薄膜の作製に用いる反応性気体としては、シリコンを構成原子とする物質である、例えば、モノシラン( $SiH_4$ )、ジシラン( $Si_2H_6$ )等が挙げられ、これ等は必要に応じて $H_2$ 、Ar、He等のガスで希釈されて用いることも出来る。

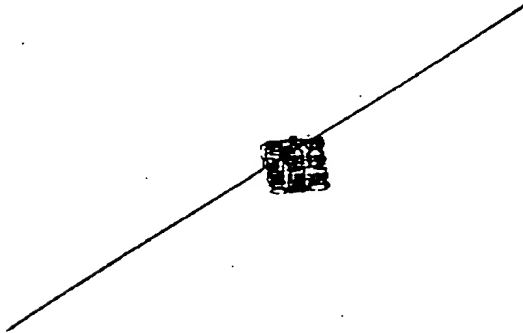
電界効果型TFTはゲート電極上にゲート絶縁層がある型(下ゲート型)とゲート絶縁層上にゲート電極がある型(上ゲート型)に分類され、他方、ソース、ドレイン電極が絶縁層と半導体層の界面にある型(Coplanar型)とソースドレイン電極が絶縁層と半導体層の界面と対向

どなく、安定してその特性を維持し得ることが観察されている。即ち、例えば3 at. %以上のH量では、上述のように連続的にトランジスタ動作を行つた場合、実効キャリアーモビリティの減少が見られかつ出力ドレイン電流が時間とともに減少し、スレッシュホールド電圧が変化するという経時変化が観察された。本発明に於いてはH量は0.01~3 at. %とされるが、~~好ましくは0.01~1 at. %程度とするのが望ましい。~~ 0.1~1 at. %程度とするのが望ましい。

本発明に於いて規定する多結晶シリコン薄膜中に含まれている水素量の測定は、0.1 at. %以上は通常化学分析で用いられている水素分析計(Perkin Elmer 社製 Model - 240 元素分析計)により行つた。いずれも試料は5mgを分析計ホルダー中に装填して、水素重量を測定し、膜中に含まれる水素量を atomic % で算出した。

0.1 at. %以下の微量分析は二次イオン質量分析計-SDMS- (Cameca 社製 Model IM8-3f) により行つた。その分析法については通常の方

法を詳説した。即ち、チャージアップ防止のため薄膜上に200Å厚の金を蒸着し、一次イオンビームのイオンエネルギーを8 KeVとし、サンプル電流 $5 \times 10^{-10}$  A、スポットサイズ50 μm径としエッチング速度は250×250 μmとして、 $Si^+$ に対する $H^+$ イオンの検出強度比を求め水素含有量をatomic %で算出した。



多結晶シリコン薄膜のエッチングレートは製作条件により種々変り上記エッチング液では15Å/sec ~ 30Å/sec に亘つて変ることが判つた。エッチングレートの異なる種々の多結晶シリコン薄膜を半導体層としてTFTを作成し、エッチングレートとの相関を調べたところ、TFT特性として好ましい膜のエッチングレートは10Å/sec以下のものであることを見出した。即ちエッチングレートが20Å/secを超える多結晶シリコン薄膜でその主要部を構成したTFTでは移動度は0.5 cm<sup>2</sup>/V·sec以下と小さく、かつ、TFTの経時変化が大きい。

又、本発明の効果を示す為の多結晶シリコン薄膜トランジスタの経時変化に関しては次のように方法によつて行つた。

第2図に示す構造のTFTを作成しゲート201にゲート電圧、 $V_g=40V$ 、ソース203とドレイン202間にドレイン電圧、 $V_d=40V$ を印加しソース203とドレイン間に流れるドレイン電流 $I_d$ をエレクトロメータ（Keithley 610Cエレクト

又、本発明に於いて、その目的を達成する為の重要な要素として測定するエッチング特性に就ては、種々の条件で作製した多結晶シリコン薄膜に就て、その一部を利用して以下に記すエッチング液を使用し、エッチング速度250でエッチングした場合のエッチング速度（エッチングレート）を測定し、他方、残部を用いて、第1図に示す様な構造の<sup>FEI</sup>TFTを作製してトランジスタ特性を測定し、エッチング速度と該トランジスタ特性との相関々係より決定されたものである。

エッチング液としては、通常電子工業用薬品として市販されている弗酸（50vol%本液液）、過酸（4=1.38, 60 vol%本液液）、及び水酸化の容量比で1:3:6の混合液を用いた。

このエッチング液は、 $\rho=0.3 \Omega \cdot \text{cm}$ のシリコンウェハーをエッチングした場合2.50で15Å/secのエッチング速度を持つ、エッチング特性を有していた。

本発明者等の多くの実験結果をあらすれば、多

ロメータ）により測定しドレイン電流の、同的变化を測定した。経時変化率は、500時間の連続動作後のドレイン電流の増減量を初期ドレイン電流で割りそれを100倍し百分で表わした。

TFTの閾値電圧 $V_{TH}$ は、MOS FETで通常行われている $V_D - \sqrt{I_D}$ 曲線における直線部分を外挿し横軸である $V_D$ 軸と交差した点によつて定義した。経時変化前と後の $V_{TH}$ の変化も同時にしらべ、変化量をボルトで表示した。

最大が、更に、多結晶シリコン薄膜の表面凹凸を800Å以下とすることによつて、この多結晶シリコン薄膜の表面にゲート用の絶縁層を形成した上ゲート電界効果トランジスタの場合のゲートリークを著しく減少させることができる。ゲート用絶縁層は通常トランジスタ特性の向上のために出来るだけ薄くされるが、数百Å~数千Åの範囲内で形成されるため表面凹凸の800Å以下にするのが困難である。更に又、800Å以下の

凸は、トランジスタ特性特に実効キャリアーモビリティを著しく減少させ、かつ経時変化も増加させるものである。

これらの事実、絶縁層を多結晶シリコン表面をドリフトするキャリアーが、凹凸の影響を強く受けていることを示しており、トランジスタの特性と安定性のために表面凹凸の低減が必須の条件である。

本発明者等によれば多結晶シリコン薄膜の表面の凹凸の最大<sup>の最大</sup>が800Å以下<sup>を要する</sup>は、基板表面近傍において結晶配向性が乏しいアモルファスや微細結晶層が成長し、成長途中から成長方向が順次に変わる結晶成長が起こり凹凸を増大させることが多くの実験結果から判明した。従つてこのような表面凹凸<sup>の最大</sup>が800Å以下<sup>を要する</sup>多結晶シリコン薄膜を半導体層に用いた下ゲート型のトランジスタ特性は、実効キャリアーモビリティが極めて小さくトランジスタの経時動作の経時変化も大きく実用上の使用特性が劣る。

本発明で開示される表面凹凸性を<sup>その凹凸の最大の</sup>800Å以下

子ビーム<sup>の最大</sup>を照射する<sup>IP</sup>方法<sup>GD</sup>超高真空度の圧多層気下で蒸着する方法<sup>SP</sup>(HVD法)を始め、CVDやLPCVD等で形成された多結晶シリコン膜を<sup>GD</sup>プラズマ処理する方法等々の特定の条件下によつて実現されう。本発明で特記すべきことは、<sup>GD</sup>法<sup>SP</sup>法<sup>IP</sup>法及びHVD法によつて形成された多結晶シリコン薄膜半導体層によると、本発明で開示されるように350℃～450℃という低温においても<sup>GD</sup>量及び表面凹凸の制限を守る限り、例えばCVDやLPCVDで高温(600℃以上)の下で作製され<sup>GD</sup>プラズマアノールした従来知られている多結晶シリコン膜と遜色のないトランジスタ特性を与え、かつそれ以上の安定性及信頼性を与えるものであり、本発明の有用性を端的に表わしている。

更に、多結晶シリコン薄膜の<sup>GD</sup>量及び表面凹凸性を満足しかつ(220)配向が強くなるにつれて、トランジスタ特性特に実効キャリアーモビリティの更に向上することが認められ、又高電圧動作時の経時変化に大きく影響する。

に押えて形成される多結晶シリコン薄膜は、基板界面から密な結晶成長が起こり膜厚方向での結晶性、配向性に著しい差は見られないものであり、トランジスタ特性においても、良好なものを与える。

<sup>の最大</sup>多結晶シリコン薄膜の表面凹凸<sup>の最大</sup>を800Å以下とすることが上又は下ゲート型のいずれにも拘らず電界効果トランジスタにとつて望しく、最速には、<sup>最大凹凸が</sup>300Å以下とされるのがよい。本発明に於いてはこの表面凹凸の測定は、電界放射型走査電子顕微鏡(JF8M-20型：日本電子社製)により25KVの加速電子による多結晶薄膜シリコンの表面断面の10万倍像から求めた。形成される多結晶シリコン薄膜半導体層に含有される<sup>GD</sup>量及びその凹凸性を前記の様に制限するには、種々の方法において実現しうる。例えば、<sup>GD</sup>SiH<sub>4</sub>、<sup>GD</sup>Si<sub>2</sub>H<sub>6</sub>等の水素化シリコンを<sup>GD</sup>グロー放電分解法<sup>GD</sup>(<sup>GD</sup>)によつて析出させる方法、<sup>GD</sup>Si<sup>SP</sup>ターゲットを用い<sup>GD</sup>Siを含むガス中でスパッタ<sup>SP</sup>(<sup>SP</sup>)する方法、<sup>GD</sup>プラズマ雰囲気中で<sup>GD</sup>Siを電

多結晶シリコン薄膜の結晶性、配向性には、膜作成法、膜作成条件によつて種々のものが得られることが知られている。

本発明に於いては配向性を調べる方法としてはX線回折、電子線回折をあわせて行つた。

作成した各多結晶シリコン膜のX線回折強度をRigaku電機製X線ディフラクトメーター(銅管球、25KV、10mA)により測定し、比較を行つた。回折角2θは20°～65°まで変化させて(111)、(220)、(311)の回折ピークを検出してその回折強度より求めた。

又電子線回折強度を日本電子社製JEM-100Vにより測定し同時に各回折強度を求めた。ASTMカード(No.27-1977)によれば、配向の全くない多結晶シリコンの場合回折強度の大きい面(h,k,l)表示で(111):(220):(311)=100:55:30で(220)だけ取り出してみると全回折強度に対する比、即ち

(220)の回折強度/(全回折強度)は  
約(55/250)×100=22%である。



この値を基準にしてこの値の大きな(220)配向性の良いもの特に30%以上の値をもつものが、更に良好なトランジスタ特性を示し30%以下においては結晶化が大きくなり好しくない。又更に、多結晶シリコン薄膜の互量及表面凹凸性を満足しかつ平均結晶粒径(平均的グレインサイズ)が大きくなるにつれてトランジスタ特性特に実効キャリアモビリティの向上することが認められた。平均的グレインサイズの値は、上述のX線回折パターン(220)ピークの半値巾から通常の用いられている Scherrer 法によつて求めた。平均的グレインサイズが、200Å以上で特に実効キャリアモビリティが向上する。特に最適には、300Å以上が望ましい。グレインサイズ(結晶粒径)は、膜厚の違いによつて成長度合の差があらわれて、その大きさが異なる場合が多い。多結晶シリコン薄膜の作製方法や作製条件によつてこの膜厚によるグレインサイズの差の程度も異なる。従つて各作製法によつて、適宜膜厚が定められる。

に、一般の低融点ガラス、耐熱性プラスチック、等も使用され得る。

ガラス基板としては、軟化点温度が630℃の並ガラス、軟化点780℃の普通硬質ガラス、軟化点温度が820℃の超硬質ガラス(JIS 1級超硬質ガラス)、等が考えられる。

本発明の製法に於てはいずれの基板を用いても基板温度が軟化点より低く押えられるため、基板をそこなりことなく、膜を作成できる利点がある。

本発明の実施例に於いては基板ガラスとして軟化点の低い並ガラス(ソーダガラス)のうち主としてコーニング47059ガラスを用いたが、軟化点1500℃の石英ガラス等を基板としても可能である。しかし、実用上からは並ガラスを用いることは安価で大面積にわたつて薄膜トランジスタ<sup>TFT</sup>を作製する上で有利である。

以下に、本発明を更に詳細に説明するため多結晶シリコン薄膜の形成からTFTの作製プロセスとTFT動作原理について実施例によつて具体

本発明において、開示されるように、特に水素(AD法)化シリコン化合物のガスのグロー放電分解<sup>(BP法)</sup>、真空中でのシリコンのスパッタリング<sup>(IP法)</sup>、イオンプレーティング法、超高真空蒸着法<sup>(OVD法)</sup>においては、基板表面温度が500℃以下(約350-500℃の範囲)で本発明の目的に合致しうる多結晶シリコン薄膜の形成が可能である。この事実は、大面積のデバイス用の大面積にわたる駆動回路や定電回路の作製において、基板の均一加熱や安価な大面積基板材料という点で有利であるだけでなく、透過型表示素子用の基板や基板側入射型の電変換受光素子の場合等面発光デバイスの応用において透光性のガラス基板が多く用いられ、この要求に答へうるものとして重要である。

従つて、本発明によれば従来技術に較べて、低温領域をも実施することが出来る為、従来法で使用されている高融点ガラス、硬ガラス等の耐熱性ガラス、耐熱性セラミックス、アパイヤ、スピネル、シリコンウエーハ等の他

的に説明する。

## 実施例 1

本実施例は多結晶シリコン薄膜を基板上に形成しTFTを作成したもので第3図に示した装置を用いたものである。基板300はコーニング7059ガラスを用いた。

先ず、基板300を洗淨した後、 $(\text{HF}+\text{HNO}_3+\text{CH}_3\text{COOH})$ の混合液でその表面を軽くエッチングし、乾燥した後、ベルジヤー真空装置301内のナノード側にかいた基板加熱ホルダー302に装着した。

その後ベルジヤー301を拡散ポンプ309でバックグラウンド真空度 $2 \times 10^{-7}$  Torr以下まで排気を行った。この時、この真空度が低いと反応性ガスが有効に膜形成して働かないばかりか膜中にO, Nが混入し、著しく膜の抵抗を变化させる。次に基板温度Tsを上げて基板300の温度を500℃に保持した。(基板温度は熱電対303で監視する。)。次に、 $\text{H}_2$ ガスをマスフローコントローラー306で制御し作らベルジヤー301内に導入して基板300表面をクリーニング

した。又、表面凹凸性は $200 \text{ \AA}$ であり、測定したエッチング液でのエッチングレートは $15 \text{ \AA}/\text{min}$ で、 $\rho = 0.3 \Omega \text{ cm}$ の値を有するシリコンウェーハーのエッチングレートと同じであつた。

又、X線回折のデータより、上記薄膜の配向特性を調べたところ、90% $(=1(220)/1\text{total} \times 100)$ であり、平均結晶粒径は $900 \text{ \AA}$ であつた。

次にこの膜を素材として第4図に概略を示すプロセスに従つてTFTを作成した。工程(a)に示すようにガラス基板300上に上記の様に形成した多結晶シリコン膜401を折出した後、水素ガスで100 vol ppmに希釈された $\text{PH}_3$ ガス( $\text{PH}_3(100 \text{ ppm})/\text{H}_2$ と略記する)を $\text{H}_2$ で10 vol %に希釈された $\text{SiH}_4$ ( $\text{SiH}_4(10)/\text{H}_2$ と略記する)ガスに対して、mol比にして $5 \times 10^{-3}$ の割合でベルジヤー301内に導入させ、ベルジヤー301内の圧力を0.12 Torrに調整してグロー放電を行いPのドーピングされたチャンネル402を $500 \text{ \AA}$ の厚さに形成した(工程(b))。

ーニングした後、反応性気体を導入する様にした。基板温度Tsは450℃に設定した。

本実施例に於ては導入する反応性気体としては取扱いの容易な $\text{H}_2$ ガスで1 vol %に希釈した $\text{SiH}_4$ ガス( $\text{SiH}_4(1)/\text{H}_2$ と略記する)を用いた。ガス流量は503CCMになる様にマスフローコントローラー304でコントロールして導入した。ベルジヤー301内の圧力はベルジヤー301の排気側の圧力調整バルブ310を調節し、絶対圧力計312を用いて0.01 Torrの圧力に設定した。ベルジヤー301内の圧力が安定した後、カソード電極313に13.56 MHzの高周波電界電源314によつて加え、グロー放電を開始させた。このときの電圧は0.5KV、電流は48mA、RF放電パワーは10Wであつた。形成された膜の膜厚は $5000 \text{ \AA}$ でその均一性は円形リング型吹き出し口を用いた場合には $120 \times 120 \text{ mm}$ の基板の大きさに対して $\pm 10\%$ 内に収つていた。

形成された膜中の水素量は0.5 atomic%であ

次に工程(c)のようにフォトリソグラフィにより層402をソース電極403の領域、ドレイン電極404の領域をのぞいて除去した。次にゲート絶縁膜を形成すべくベルジヤー301内に再び上記の基板が、アノード側の加熱ホルダー302に装着された。多結晶シリコンを形成する場合と同様にベルジヤー301が排気され、基板温度Tsを250℃として $\text{NH}_3$ ガスを208CCM、 $\text{SiH}_4(10)/\text{H}_2$ ガスを5 SCCM導入してグロー放電を生起させてSiNH膜405を $2500 \text{ \AA}$ の厚さに堆積させた。

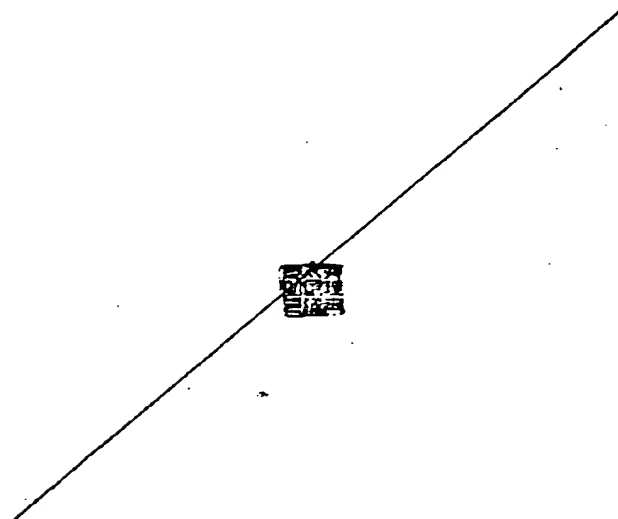
次にフォトリソグラフィ工程によりソース電極403、ドレイン電極404用のコンタクトホール406-1、406-2をあけ、その後、SiNH膜405全面にAlを蒸着して電極膜407を形成した後、フォトリソグラフィ工程によりAl電極膜407を加工してソース電極用取出し電極408、ドレイン電極用取出し電極409及びゲート電極410を形成した。この後、 $\text{H}_2$ 雰囲気中で250℃の熱処理を行った。以上の

条件とプロセスに従って形成されたTFT(チャンネル長 $L=10\mu$ ,チャンネル幅 $W=500\mu$ )は安定で良好な特性を示した。

このようにして試作したTFTの特性の一例 $V_D-I_D$ 曲線を図7に示した(但し、図に於いて $V_D$ はドレイン電圧, $V_G$ はゲート電圧, $I_D$ はドレイン電流)。 $V_G=20V$ で $I_D=25\times 10^{-7}A$ , $V_G=0V$ で $I_D=1\times 10^{-7}(A)$ で、かつ閾値電圧は $1.5V$ であつた。また通常、MOS-TFTデバイスで行われている $V_G-I_D$ 曲線の直線部から求めた、実効移動度( $\mu_{eff}$ )は $8.5cm^2/V\cdot sec$ であり良好なトランジスタ特性を有するTFTが得られた。このTFTの安定性を調べるためゲートにDC電圧で $V_G=40V$ を印加し、 $I_D$ の変化を500時間に亘り連続測定を行った。その結果 $I_D$ の変化は殆んどなく $\pm 0.1\%$ 以内であつた。かつTFTの経時変化前後の閾値電圧の変化 $\Delta V_{TH}$ もなくTFTの安定性は極めて良かつた。また所望な経時変化後のTFT特性 $V_D-I_D$ , $V_G-I_D$ 等を測定したところ、経時変化測定前

と変わらず $\mu_{eff}$ も $8.5cm^2/V\cdot sec$ と同一であつた。

本実施例で示された如く、多結晶シリコン膜の水素量が $0.5\%$ 、表面凹凸が $200\text{\AA}$ 、エッチングレート $5\text{\AA}/sec$ 、配向性が $90\%$ 、平均結晶粒径が $900\text{\AA}$ なる特性を有する多結晶シリコン薄膜でその主要部を構成したTFTは高性能を示すことが示された。



## 実施例2

実施例1と同様の手順によってRFパワー( $P_o$ ) $50W$ , $SiH_4(1)/H_2$ 流量 $50SCCM$ ,グロー放電圧力( $P_r$ ) $0.05Torr$ の条件でバイコルガラス基板上に多結晶シリコン膜を作成した。基板温度( $T_s$ )は $250^\circ C \sim 700^\circ C$ に亘って $50^\circ C$ おきにセッとし膜厚が $0.5\mu$ 厚になるように作成し、各々の多結晶シリコン膜の水素量、表面凹凸、エッチングレート及び実施例1と同様の方法によって各膜を用いて作成したTFTの実効移動度 $\mu_{eff}$ を第1表に示した。

第1表から判るように水素量 $3at\%$ を超えるもの又は $0.01at\%$ 未満のものは実効移動度が $1cm^2/V\cdot sec$ 以下であり、又、表面凹凸性が $400\text{\AA}$ 以上で且つエッチングレートが $20\text{\AA}/sec$ を超える試料は実効移動度が $1cm^2/V\cdot sec$ 以下であつて、いずれも実用上劣ることが示された。

更に、 $T_s=700^\circ C$ の試料は、表面凹凸性は $250\text{\AA}$ と小さくかつエッチングレートも $15\text{\AA}/sec$ とシリコンウエハーのエッチングレートと同等

であるが水素量が $0.01at\%$ 未満のため実効移動度 $\mu_{eff}$ は $0.25cm^2/V\cdot sec$ と小さく、これも実用上劣ることが示された。

第1表

試料No.	1-1	1-2	1-3	1-4	1-5	1-6	1-7	1-8	1-9	1-10
$T_s(^\circ C)$	250	300	350	400	450	500	550	600	650	700
水素量(at%)	4.5	4.2	3.5	3.2	2.5	1.3	0.5	0.1	0.03	0.01
表面凹凸性( $\text{\AA}$ )	800	500	400	350	250	200	250	200	200	200
エッチングレート( $\text{\AA}/sec$ )	15	10	22	15	15	15	15	15	15	15
$\mu_{eff}(cm^2/V\cdot sec)$	0.25	0.25	0.50	1.5	5.5	7.5	4.0	2.5	1.5	0.25
配向性(%)	55	25	15	0.5	0.1	0.1	0.1	0.1	0.1	1.5
平均結晶粒径( $\text{\AA}$ )	25	55	70	85	85	90	95	90	92	90
$\Delta V_{TH}(V)$	150	200	300	400	500	550	600	700	700	800
$\Delta I_D(I)$	1.0	0.5	0.3	0	0	0	0	0	0	0

上記の試料に於いては多結晶シリコン薄膜中の水素量の増加するに従って大きな表面凹凸を有する膜を用いた場合を示したが本発明との比較のために水素量が $3at\%$ 以下であるが表面凹凸が大きい場合、或いはエッチングレートが大きい

場合には、これも又実用上劣ることが以下の例から示された。

実施例1と同様の手順によってコーニング7059ガラス基板上に $T_s = 450^\circ\text{C}$ ,  $\text{SiH}_4(1)/\text{H}_2$  ガス流量50 sccm,  $P_0 = 100\text{V}$ ,  $P_r = 0.2\text{Torr}$  の条件で膜厚が $0.5\mu\text{m}$ になるように作成した膜(試料A)及び $T_s = 450^\circ\text{C}$ ,  $\text{SiH}_4(1)/\text{H}_2$  ガス流量50 sccm,  $P_0 = 300\text{W}$ ,  $P_r = 0.05\text{Torr}$  の条件で作成した膜(試料B)の各々について水素量, 表面凹凸, エッチングレートを求めた。また実施例1と同様の方法によって試料A, Bの膜を用いてTFTを作成し、実効移動度 $\mu_{\text{eff}}$ を求めた。その結果を第2表に示した。

試料Aは水素量が3 at%以下でエッチングレートも比較的小さいが表面凹凸は $900\text{\AA}$ と大きく、又試料Bは水素量が3 at%以下で表面凹凸も $250\text{\AA}$ と小さいにも拘らずエッチングレートは $32\text{\AA}/\text{sec}$ と大きかった。

A, B試料の各々を用いて作成したTFTの実

効率は $18\text{\AA}/\text{sec}$ , 配向性が30度, 平均結晶粒径が $300\text{\AA}$ であった。

また実施例1と同様の方法によってTFTを作成し実効移動度 $\mu_{\text{eff}}$ を求めたところ $0.35\text{cm}^2/\text{V}\cdot\text{sec}$ であった。またTFTの経時変化に関しては $I_D$ の経時変化は2.4%で $\Delta V_{\text{TH}}$ も $0.5\text{V}$ と安定性が充分でないことが示された。

効移動度 $\mu_{\text{eff}}$ は実施例1で示した試料に比らべ極端に小さいことが実証され、又特性の安定性も比較的芳っていた。

第 2 表

試 料	A	B
水素量(at%)	2.8	2.2
表面凹凸性( $\text{\AA}$ )	900	250
エッチングレート( $\text{\AA}/\text{s}$ )	19	32
$\mu_{\text{eff}}(\text{cm}^2/\text{V}\cdot\text{s})$	0.32	0.35
経時変化(%)	1.8	2.5
$\Delta V_{\text{TH}}(\text{V})$	0.4	0.5

更に、比較の為に次の様にして作成した試料に就ても測定を行った。

実施例1と同様の手順によってコーニング7059ガラス基板上に $T_s = 450^\circ\text{C}$ ,  $T_0 = 50\text{W}$ ,  $P_r = 0.05\text{Torr}$   $\text{SiH}_4(1)/\text{H}_2$  ガス流量500 sccmの条件で膜厚が $0.5\mu\text{m}$ になるようにして、多結晶シリコン薄膜を作成した。この膜の水素量は2.7 at%, 表面凹凸は $300\text{\AA}$ , エッチングレ

### 実施例3

実施例1と同様に準備されたコーニング7059ガラス基板500を $2 \times 10^{-11}\text{Torr}$ まで減圧される超高真空槽501内の基板ホルダー502に装填し、真空槽501内の圧力が $5 \times 10^{-11}\text{Torr}$ 以下の圧力になるまで減圧した後タンタルヒーター503により基板温度を $400^\circ\text{C}$ に設定した。続いて電子銃504を8KVの加速電圧で動作させ、発射される電子ビームをシリコン基板505に照射させシリコン基板を加熱させ、続いてシャッター507を開き基板500に膜厚 $0.5\mu\text{m}$ になるよう水晶振動子膜圧計506でコントロールして、多結晶シリコン膜を形成した。この時の真空槽中の圧力は $1 \times 10^{-8}\text{Torr}$ , 基板温度は $1.4\text{\AA}/\text{sec}$ であった(試料3-1)。

他方、洗浄したコーニング7059ガラス基板を再び基板ホルダー502に装設し、真空槽501内の圧力が $5 \times 10^{-11}\text{Torr}$ 以下の圧力になるまで減圧した後高純度水素ガス(99.9999%)をバリアブルリータバルブ508により真空槽501内に

## 第 3 表

試 料 名	3-1	3-2
水素量 (at%)	<0.01	0.2
表面凹凸性 (Å)	250	25
エッチングレート (Å/s)	15	15
配向性 (°)	92	90
結晶粒径 (Å)	900	900
$\mu_{eff}$ (cm <sup>2</sup> /vs)	0.25	3.2
$I_0$ の経時変化 (%)	25	≤0.1
$\Delta V_{T2}$ (V)	0.5	1.0

導入し、槽内圧力を  $5 \times 10^{-7}$  Torr に設定した。基板温度を 400 °C に設定し、膜形成速度を 1.4 Å/sec になるようにコントロールし、0.5 μ 厚の多結晶シリコン膜を形成した(試料 3-2)。

試料 3-1, 3-2 について、膜の一部を利用して各々の水素量、表面凹凸、エッチングレート、配向性、結晶粒径を測定し又、膜の残部を利用して実施例 1 と同様の方法によつて作成した TFT の各々に就て実効移動度  $\mu_{eff}$  を測定した結果を第 3 表に示した。

第 3 表からわかるように試料 3-1, 3-2 とともに表面凹凸、エッチングレート、配向性、結晶粒径はほぼ同一値を示しているが、水素量が試料 3-1 は 0.01 at% 未満と少なく、試料 3-2 では 0.2 at% 含まれていた。この為により作製された TFT の実効移動度は 1 桁以上試料 3-2 は試料 3-1 に比べ大きく、TFT の安定性も試料 3-2 が良好で TFT 用の半導体層として好ましいことが判つた。

## 実施例 4

本発明を第 6 図に示すイオンブレーティング堆積装置を用いて作製した多結晶シリコン薄膜半導体層を用いて薄膜トランジスタを形成した例を以下に記す。

初めに減圧にしうる堆積室 603 内に non-doped 多結晶シリコンのシリコン蒸発体 606 をポート 607 内に置き、コーエンダ 67053 基板を支持体 211-1, 211-2 に設置し、堆積室内をベースプレッシャーが約  $1 \times 10^{-7}$  Torr になるまで排気した後、ガス導入管 605 を通じて純度 99.999% の  $H_2$  ガスを  $1 \times 10^{-4}$  Torr になる様に堆積室内に導入した。使用したガス導入管は内径 2 mm で先のループ状の部分にガス吹き出し口が 2 cm 間隔で 0.5 mm の孔が開いているものを用いた。

次に、高周波コイル 610 (直径 8 mm) に 12.56 MHz の高周波を印加して出力を 100 W に設定して、コイル内部分に高周波プラズマ雰囲気を形成した。

他方、支持体 611-1, 611-2 は回転させなが

ら、加熱装置 612 を動作状態にして約 450 °C に加熱しておいた。

次に、蒸発体 606 にエレクトロンガン 608 より照射し、加熱したシリコン粒子を蒸発させた。このときのエレクトロンガンのパワーは約 0.5 kW であつた。

この様にして 30 分間で 5000 Å の多結晶シリコン薄膜が形成された。

この薄膜を用いて前記の実施例と同様なプロセスで薄膜トランジスタを作製した。第 4 表に本実施例における膜中に含まれる水素量、表面凹凸及び膜のエッチング速度、作製した薄膜トランジスタの実効移動度  $\mu_{eff}$  を示した。同時に水素分圧が  $4 \times 10^{-4}$  Torr の場合と水素を導入しないで膜を形成した場合についての結果も併せて示した。

第 4 表

試 料 名	4-1	4-2	4-3	4-4
水素分圧 $P_{H_2}$ (Torr)	0	$7 \times 10^{-3}$	$2 \times 10^{-4}$	$5 \times 10^{-4}$
水素量 (at%)	0	1.8	2.1	5.2
エッチングレート ( $\mu/\text{分}$ )	28	24	18	19
表面凹凸性 ( $\lambda$ )	500	400	500	600
$\mu_{eff}$ ( $=v/\omega$ )	0.95	0.19	2.4	2.1

$2 \times 10^{-4}$  Torr の水素分圧  $P_{H_2}$  で形成した膜 (試料 4-3) を用いて作製したトランジスタではドレイン電圧  $V_D$ 、ゲート電圧  $V_G$  を 40V で連続印加後の  $I_D$  の経時変化が全くなく、移動度  $\mu_{eff}$  も 2.4 と大きく、良好なトランジスタ特性を示した。それに対し、水素量の多い場合は経時変化が大きく、水素の少ない場合は移動度が小さいという結果を得た。

## 実施例 5

実施例 1 と同様に準備された同等のコーニング 7059 ガラス基板 300 をベルジャー 301 内の上部アノード側の基板加熱ホルダー 302 に密着

新様に形成した多結晶シリコン膜中に含まれる水素量は 1.2 at%、シリコン膜表面の凹凸性は約 500  $\lambda$  でエッチングレートは 18  $\mu/\text{分}$  であった。

続いて上記膜の一部を利用して実施例 1 と同様の工程によつて T F T を作製した。この素子の実効移動度は  $1.2 \mu/\text{分}$  であり、 $V_G - V_D = 40V$  の条件で  $I_D$ 、 $V_G$  の変化を測定したところ 500 時間で  $I_D$  は 0.2  $\mu$  であり、 $V_{th}$  の変化は認められなく、安定性は良好であった。

上記の試料との比較のために以下の試料を作製して同様の測定を行った。

実施例 1 と同様に準備された同等のコーニング 7059 ガラス基板 300 をベルジャー 301 内の上部アノード側の基板加熱ホルダー 302 に密着して固定し、下部カソード 313 の電極板上に基板と対向するように多結晶シリコン膜 (図示されない: 純度 99.99%) を静置した。ベルジャー 301 を拡散ポンプ 309 で真空状態とし、 $2 \times 10^{-4}$  Torr まで排気し、基板加熱ホルダー 302 を加熱して基板 300 の表面温度を 350°C に保つた。続いて

して固定し、下部カソード 313 の電極板上に基板と対向するように多結晶シリコン膜 (図示されない: 純度 99.99%) を静置した。ベルジャー 301 を拡散ポンプ 309 で真空状態とし、 $2 \times 10^{-4}$  Torr まで排気し、基板加熱ホルダー 302 を加熱して基板 300 の表面温度を 350°C に保つた。

続いて高純度水素ガスをマスフローメーター 308 によつて 0.8 SCCM ベルジャー内へ導入し、更に Ar ガスをマスフローメーター 307 によつて 10 SCCM の流量でベルジャー 301 内へ導入しメインバルブ 310 を使つてベルジャー内圧を 0.005 Torr に設定した。

ベルジャー内圧が安定してから、下部カソード電極 313 に 12.56 MHz の高周波電圧 314 によつて、20 KV 印加してカソード 312 上の多結晶シリコン膜とアノード (基板加熱ホルダー) 302 間にグロー放電を放電パワー 200 W で発生させた。

この条件での膜成長速度は 0.3  $\mu/\text{分}$  で 7 時間成長させて約 0.5  $\mu$  厚の膜を形成した。

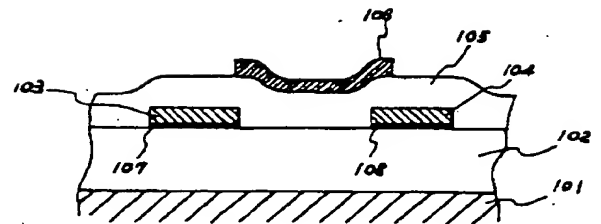
高純度  $H_2$  ガスをマスフローメーター 308 によつて 28 SCCM ベルジャー内へ導入し、更に Ar ガスをマスフローメーター 307 によつて 10 SCCM の流量でベルジャー 301 内へ導入し、メインバルブ 310 を使つてベルジャー内圧を 0.05 Torr に設定した。

ベルジャー内圧が安定してから、下部カソード電極 313 に 12.56 MHz の高周波電圧 314 によつて、20 KV 印加してカソード上の結晶シリコン膜 312 とアノード (基板加熱ホルダー) 302 間にグロー放電を生起させた。この際の RF 放電パワー (進行波-反射波) は、300 W であった。この条件でのシリコン膜の成長速度は 0.5  $\mu/\text{分}$  であり、3 時間成長させて約 0.54  $\mu$  厚の膜を形成した。

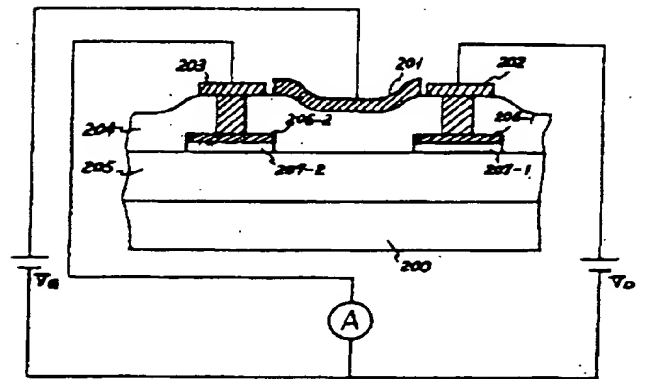
多結晶シリコン膜中に含有する H 量は 4.5 at%、膜表面性は約 500  $\lambda$ 、エッチングレートは 35  $\mu/\text{分}$  であった。

続いて実施例 1 と同様の工程 (a)-(d) によつて T F T を作製した。

第1図



第2図



この素子の実効モビリティ  $\mu_{eff}$  は、 $0.2 \text{ cm}^2/\text{V}\cdot\text{s}$  であり、 $V_g = 40\text{V}$ 、 $V_d = 40\text{V}$  の条件で  $I_D$  及び  $V_{th}$  の変化を測定したところ、500時間後  $I_D$  は12%減少し、 $\Delta V_{th}$  は3VであつてTFTの安定性は極めて乏しかつた。

#### 4. 図面の簡単な説明

第1図は本発明の半導体素子の構造を説明する為の模式的説明図、第2図は本発明の半導体素子の特性を測定する為の回路を模式的に示した説明図、第3図、第4図、第5図は各々本発明に係わる半導体膜作製装置の例を説明する為の模式的説明図、第6図は本発明の半導体素子を作製する為の工程を模式的に説明する為の工程図、第7図は本発明の半導体素子の  $V_D-I_D$  特性の一例を示す説明図である。

101 - 基板、102 - 絶縁半導体層、

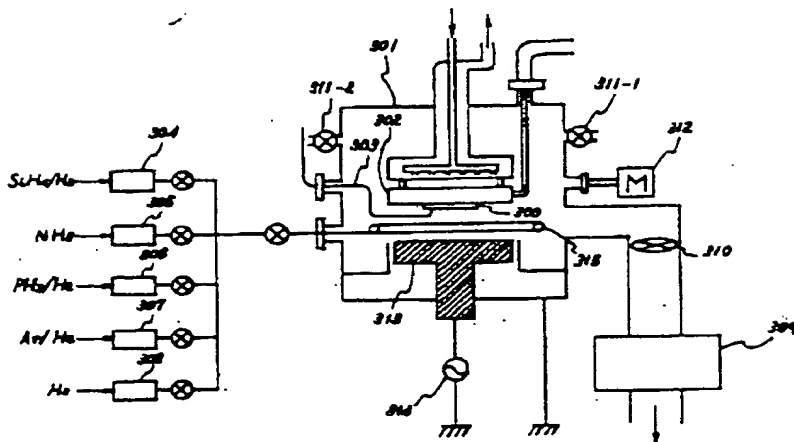
103 - ソース電極、104 - ドレイン電極

105 - 絶縁層、106 - ゲート電極、107, 108 - n 層

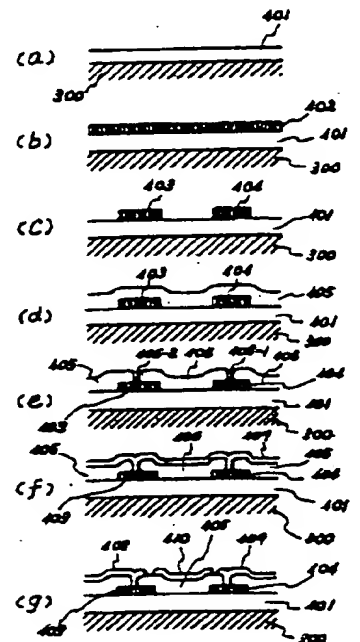
出願人 ヤマノ株式会社

代理人 丸 島 慎

第3図

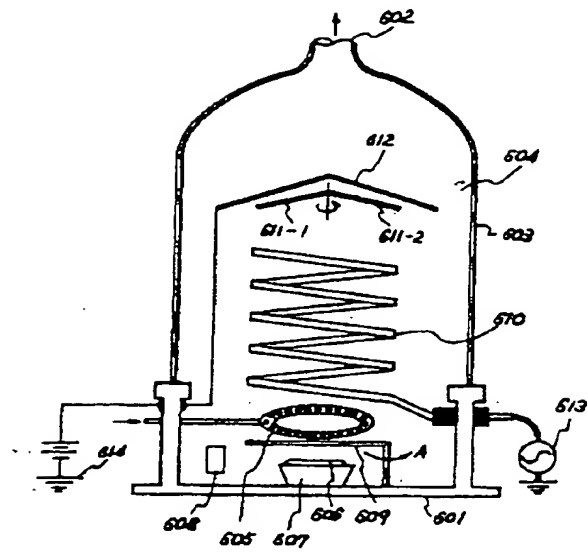
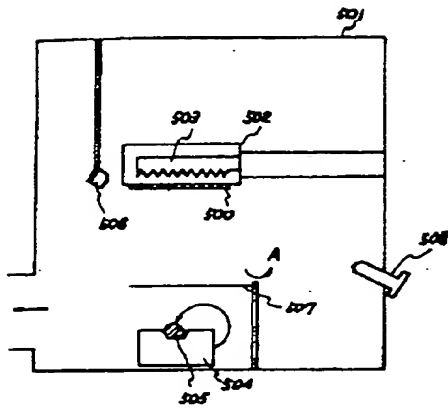


第4図



第 6 図

第 5 図



第 7 図

